

PAT-NO: JP409246426A

DOCUMENT-IDENTIFIER: JP 09246426 A

TITLE: SURFACE MOUNTED TYPE ELECTRONIC  
COMPONENT, WIRING BOARD,  
MOUNTING BOARD AND MOUNTING METHOD

PUBN-DATE: September 19, 1997

INVENTOR-INFORMATION:

NAME

SHIMIZU, SUMIKO

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP08073290

APPL-DATE: March 4, 1996

INT-CL (IPC): H01L023/12, H01L021/60 , H01L021/66

ABSTRACT:

PROBLEM TO BE SOLVED: To facilitate breakage check between a surface mounted type electronic component and a wiring board, by providing a single or a plurality of bump conduction connection means for conducting and connecting different dummy bumps.

SOLUTION: In an IC package with bump 32, for example, an IC chip 41 is mounted on one surface 40A of a circuit board 40 by a wire bonding method and is sealed by a sealing resin 42, such as, epoxy, and bumps 43 are provided in two columns on the other surface 40B of the circuit board

40 along peripheral  
edge portions of the other surface 40B. The bumps 43,  
except for four dummy  
testing bumps 43A to 43D arranged at the corners of the  
circuit board 40, are  
electrically connected via through-holes to corresponding  
electrodes formed on  
the side of the one surface 40A of the circuit board 40.  
(The electrodes are  
conducted and connected to corresponding electrodes of the  
IC chip 41 via metal  
wires 44 made of a gold material).

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-246426

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12			H 0 1 L 23/12	L
21/60	3 1 1		21/60	3 1 1 Q
21/66			21/66	E
				S

審査請求 未請求 請求項の数8 F D (全 8 頁)

(21)出願番号 特願平8-73290

(22)出願日 平成8年(1996)3月4日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 清水 須美子

東京都品川区北品川6丁目7番35号ソニー  
株式会社内

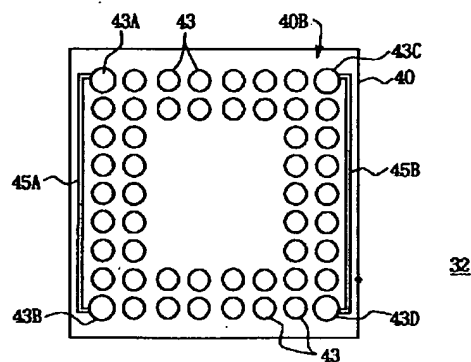
(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 表面実装型電子部品、配線基板、実装基板及び実装方法

(57)【要約】

【課題】破断検査を簡易化させ得る表面実装型電子部品、配線基板、実装基板及び実装方法を実現し難かった。

【解決手段】表面実装型電子部品の一面に複数のダミーバンプを設けると共に、異なる一対のダミーバンプをバンプ導通接続手段により導通接続する一方、配線基板の実装面に、表面実装型電子部品の各ダミーバンプにそれぞれ対応する複数の第2の電極と、それぞれ異なる所定の第1の電極と導通接続された第3及び第4の電極とを形成し、かつ表面実装電子部品が実装されたときに、第2の電極、ダミーバンプ及びバンプ導通接続手段と共に第3及び第4の電極を導通接続する一繋ぎの導電路を形成するように、異なる一対の第2の電極を電極導通接続手段により導通接続するようにしたことにより、破断検査を簡易化させ得る表面実装型電子部品、配線基板、実装基板及び実装方法を実現できる。



## 【特許請求の範囲】

【請求項1】一面側に信号入出力用の複数のバンパが形成された表面実装型電子部品において、  
上記一面側に設けられた複数のダミーバンパと、  
それぞれ異なる一対の上記ダミーバンパを導通接続する  
単数又は複数のバンパ導通接続手段とを具えることを特徴とする表面実装型電子部品。

【請求項2】各上記ダミーバンパは、それぞれ上記一面側の隅部に設けられたことを特徴とする請求項1に記載の表面実装型電子部品。

【請求項3】一面側に信号入出力用のバンパを複数有する表面実装型電子部品を実装する配線基板において、  
上記バンパにそれぞれ対応させて、上記表面実装部品を実装する実装面に形成された複数の第1の電極と、  
上記表面実装型電子部品の上記一面側に設けられた複数のダミーバンパにそれぞれ対応させて上記実装面に形成された複数の第2の電極と、  
上記実装面のうち、上記表面実装型電子部品との対向領域を避けて形成され、それぞれ異なる所定の上記第1の電極と導電接続された第3及び第4の電極と、  
上記表面実装電子部品が実装されたときに、上記第2の電極、上記ダミーバンパ及びそれぞれ異なる一対の上記ダミーバンパを導通接続する単数又は複数のバンパ導通接続手段と共に上記第3及び第4の電極を導通接続する一繋ぎの導電路を形成するように、それぞれ異なる一対の上記第2の電極を導電接続する単数又は複数の電極導通接続手段とを具えることを特徴とする配線基板。

【請求項4】各上記第2の電極は、  
上記表面実装型電子部品の上記一面側の隅部にそれぞれ設けられた各上記ダミーバンパにそれぞれ対応させて、  
上記実装面のうち、上記表面実装型電子部品との対向領域の隅部にそれぞれ形成されたことを特徴とする請求項3に記載の配線基板。

【請求項5】配線基板の実装面に表面実装型電子部品が実装されてなる実装基板において、  
上記表面実装型電子部品は、  
上記配線基板との対向面となる一面側に設けられた信号入出力用の複数のバンパと上記一面側に設けられた複数のダミーバンパと、  
それぞれ異なる一対の上記ダミーバンパを導通接続する単数又は複数のバンパ導通接続手段とを具え、  
上記配線基板は、  
上記表面実装型電子部品の各上記バンパにそれぞれ対応させて上記実装面に形成された複数の第1の電極と、  
上記表面実装型電子部品の各上記ダミーバンパにそれぞれ対応させて上記実装面に形成された複数の第2の電極と、  
上記実装面の上記第2の電極の周囲に形成され、それぞれ異なる所定の上記第1の電極と導電接続された第3及び第4の電極と、

上記表面実装電子部品が実装されたときに、上記第2の電極、上記ダミーバンパ及び上記バンパ導通接続手段と共に上記第3及び第4の電極を導通接続する一繋ぎの導電路を形成するように、それぞれ異なる一対の上記第2の電極を導電接続する単数又は複数の電極導通接続手段とを具えることを特徴とする実装基板。

【請求項6】上記表面実装型電子部品の各上記ダミーバンパは、  
それぞれ上記表面実装型電子部品の上記一面側の隅部に設けられ各上記第2の電極は、  
各上記ダミーバンパにそれぞれ対応させて、上記実装面のうち、上記表面実装型電子部品との対向領域の隅部にそれぞれ形成されたことを特徴とする請求項5に記載の実装基板。

【請求項7】一面側に信号入出力用の複数のバンパが形成された表面実装型電子部品を配線基板の実装面に実装する実装方法において、  
上記表面実装型電子部品の上記一面側に複数のダミーバンパを設けると共に、異なる一対の上記ダミーバンパを単数又は複数のバンパ導通接続手段により導通接続する一方、上記配線基板の上記実装面に、上記表面実装型電子部品の各上記バンパ又は各上記ダミーバンパにそれぞれ対応する複数の第1及び第2の電極と、それぞれ異なる所定の上記第1の電極と導電接続された第3及び第4の電極とを形成し、かつ上記表面実装電子部品が実装されたときに、上記第2の電極、上記ダミーバンパ及び上記バンパ導通接続手段と共に上記第3及び第4の電極を導通接続する一繋ぎの導電路を形成するように、異なる一対の上記第2の電極を単数又は複数の電極導電接続手段により導通接続する第1のステップと、  
上記表面実装型電子部品を上記配線基板上に位置決めしてマウントした後、上記表面実装型電子部品の上記バンパ及び上記ダミーバンパをそれぞれ上記配線基板の対応する第1又は第2の電極と接合する第2のステップとを具えることを特徴とする実装方法。

【請求項8】上記第1のステップでは、  
各上記ダミーバンパを、それぞれ上記表面実装型電子部品の上記一面側の隅部に設けると共に、  
各上記第2の電極を、各上記ダミーバンパにそれぞれ対応させて、実装面のうち、上記表面実装型電子部品との対向領域の隅部にそれぞれ形成することを特徴とする実装方法。

## 【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

発明の属する技術分野

従来の技術（図5～図8）

発明が解決しようとする課題（図5～図8）

課題を解決するための手段（図1～図4）

50 発明の実施の形態（図1～図4）

## 発明の効果

## 【0002】

【発明の属する技術分野】本発明は表面実装型電子部品、配線基板、実装基板及び実装方法に関し、例えばBGA (Ball Grid Array) 及びCSP (Chip Size Package) などのような、一面に信号入出力用の複数のバンパを有し、フェースダウンで実装するICパッケージ、当該ICパッケージに対応するプリント配線板、このICパッケージがプリント配線板に実装されてなる実装基板及びこのICパッケージの実装方法に適用して好適なものである。

## 【0003】

【従来の技術】従来、ICチップをプリント配線板に実装するためのICパッケージの1つとして、プラスチックQSP (Quad Flat Package) がある。通常、この種のICパッケージにおいては、図5に示すように、パッケージ本体部2の各周側面にガルウイング状にフォーミングされた複数のリード3が所定ピッチで突出形成されることにより構成されており、現在ではこのQFP1がICパッケージの主流を占めている。

【0004】ところがQFP1においては、近年の半導体素子の高集積化及び多ピン化に伴いつてリード2の狭ピッチ化が進んでおり、高度な実装技術が必要となつてきている。このため近年では、既存の実装技術で容易に実装できるICパッケージとして、例えばBGAやCSPが目目されている。

【0005】実際上図6に示すように、BGA10においては、回路基板11の一面11A上にワイヤボンディング法によりICチップ12が実装されると共に、当該ICチップ12がエポキシ等の封止樹脂13により封止され(又はICチップ12に金属等のキヤツプが被せられ)、かつ回路基板11の他面側に金属ボールでなる突起電極(以下、これをバンパと呼ぶ)14が例えば1.5[mm]程度のピッチでマトリクス状に形成されることにより構成されている。

【0006】この場合各バンパ14は、それぞれ回路基板11の一面11A側に形成された対応する電極(それぞれ金材からなる金属線15を介してICチップ12の対応する電極と導通接続されている)と内層やスルーホール等を介して電気的に接続されている。

【0007】かくしてBGA10においては、プリント配線板の所定位置にフェースダウンで位置決めマウントした後、プリント配線板の対応する電極上に予め供給されたはんだ(及び又は各バンパ14)を加熱溶融し、これらバンパ14をそれぞれプリント配線板の対応する電極と接合することにより実装することができるため、従来の実装技術の範囲内で容易に実装し得る利点がある。

【0008】一方SCPは、BGA10と同様の回路基板や金属箔を積層したポリイミド等の絶縁フィルムを用い、当該回路基板又は絶縁フィルムの一面側に実装面積

が大きくなならないようにフリツプチップ法によりICチップを実装すると共に、回路基板又は絶縁フィルムの他面側に金属ボールでなるバンパを例えば0.5[mm]ピッチでマトリクス状に形成することにより構成されており、全体としてほぼICチップとほぼ同等の大きさに形成されている。

【0009】従つてこのSCPにおいても、BGA10と同様にしてプリント配線板上に実装でき、従来の実装技術で容易に実装することができる。なお図7にBGA10(図6)やCSPのようなパッケージ本体部16の裏面16A側に信号入出力用のバンパ17が複数設けられたICパッケージ(以下、これをバンパ付ICパッケージと呼ぶ)18の裏面構成例を示し、図8にプリント配線板19にこのようなバンパ付ICパッケージ18が複数実装されてなる従来の実装基板20の構成例を示す。

## 【0010】

【発明が解決しようとする課題】ところで、例えばQFP1(図5)のようにリード3がガルウイングタイプのICパッケージでは、各リード3とプリント配線板の対応する電極との接合部がICパッケージの周囲に露出した状態にあるため、当該接合部の接合状態(破断の有無等)を目視により確認することができる。

【0011】ところがBGA10(図6)やCSPのようなバンパ付ICパッケージ18(図7)においては、上述のようにパッケージ本体部16の裏面16A側にバンパ17が形成され、フェースダウンで実装するため、実装後、各バンパ17とプリント配線板19(図8)の対応する電極との接合部がパッケージ本体部16により覆われてしまい目視し難い問題があつた。

【0012】従つて従来では、このようなバンパ付ICパッケージ18(図7)に対するプリント配線板19(図8)との接合部の破断状態の検査を、回路に信号を送り、1つ1つICの動作確認をすることにより行われおり、このためこのような破断状態の検査作業が煩雑かつ多くの時間を要する問題があつた。またバンパ付ICパッケージ18(図7)に対するプリント配線板19(図8)との破断状態の確認作業は、ICテスト等の専用の治具や検査装置を必要とするため、コストがかかる問題もあつた。

【0013】本発明は以上の点を考慮してなされたもので、破断検査を簡易化させ得る表面実装型電子部品、配線基板、実装基板及び実装方法を提案しようとするものである。

## 【0014】

【課題を解決するための手段】かかる課題を解決するため第1の発明においては、一面側に信号入出力用の複数のバンパが形成された表面実装型電子部品において、複数のダミーバンパを一面側に設けると共に、これらダミーバンパのうち、それぞれ異なる一対のダミーバンパを

単数又は複数のバンパ導通接続手段により導通接続するようにした。

【0015】また第2の発明においては、第1の発明の表面実装型電子部品に対応する配線基板として、各ダミーバンパにそれぞれ対応する複数の第2の電極と、それぞれ異なる所定の第1の電極と導通接続された第3及び第4の電極とを実装面に形成すると共に、表面実装電子部品が実装されたときに、第2の電極、ダミーバンパ及びバンパ導通接続手段と共に第3及び第4の電極を導通接続する一繋ぎの導電路を形成するように、それぞれ異なる一対の第2の電極を導通接続する単数又は複数の電極導通接続手段を設けるようにした。

【0016】さらに第3の発明においては、第1の発明の表面実装型電子部品を第2の発明の配線基板に実装するようにして実装基板を形成するようにした。

【0017】さらに第4の発明においては、一面側に信号入出力用の複数のバンパが形成された表面実装型電子部品を配線基板の実装面に実装する実装方法において、表面実装型電子部品の一面側に複数のダミーバンパを設けると共に、異なる一対のダミーバンパを単数又は複数のバンパ導通接続手段により導通接続する一方、配線基板の実装面にこれら各ダミーバンパにそれぞれ対応する複数の第2の電極と、それぞれ異なる所定の第1の電極と導通接続された第3及び第4の電極とを形成し、かつ表面実装電子部品が実装されたときに、第2の電極、ダミーバンパ及びバンパ導通接続手段と共に第3及び第4の電極を導通接続する一繋ぎの導電路を形成するように、異なる一対の第2の電極を単数又は複数の電極導通接続手段により導通接続する第1のステップと、これを配線基板上に実装する第2のステップとを設けるようにした。

【0018】この場合第1及び第2の発明においては、第1の発明の表面実装型電子部品を第2の発明の配線基板に実装したときに、表面実装型電子部品の各ダミーバンパ及びバンパ導通接続手段と、配線基板の第2の電極及び電極導通接続手段とによつて配線基板の第3及び第4の電極間を導通接続する導通路が形成される。

【0019】従つて例えばダミーバンパのいずれか1つでも破断している場合には第3及び第4の電極間の抵抗値が破断していない場合に比べて大きい値を示すため、第3及び第4の電極間の抵抗値を測定するだけで各ダミーバンパに破断が生じているか否かを検査することができ、かくしてこのダミーバンパをサンプルとして、表面実装型電子部品及び配線基板間の破断検査を行うことができる。

【0020】また第3及び第4の発明においても、第3及び第4の電極間の抵抗値を測定するだけで各ダミーバンパに破断が生じているか否かを検査することができ、かくしてこのダミーバンパをサンプルとして、実装基板の破断検査を行うことができる。

【0021】

【発明の実施の形態】以下図面について、本発明の一実施例を詳述する。

【0022】図1において、30は全体として実施例による実装基板を示し、所定の配線パターンが形成されたプリント配線板31の実装面31A上に複数のバンパ付ICパッケージ32が実装されることにより形成されている。バンパ付ICパッケージ32においては、それぞれ図2及び図3に示すように、回路基板40の一面40A上にワイヤボンディング法によりICチップ41が実装されると共に、このICチップ41がエポキシ等の封止樹脂42により封止され、かつ回路基板40の他面40B側にバンパ43が当該他面40Bの周端部に沿つて2列に並べて設けられることにより形成されている。

【0023】この各バンパ43は、回路基板40の他面40Bの各隅部にそれぞれ配置された4つのダミーバンパ（以下、これらそれぞれ第1～第4の検査用バンパと呼ぶ）43A～43D（図3）を除いて、それぞれ回路基板40の一面40A側に形成された対応する電極（それぞれ金材からなる金属線44を介してICチップ41の対応する電極と導通接続されている）とスルーホール（図示せず）を介して電氣的に接続されている。

【0024】また特に図3において明らかなように、第1及び2の検査用バンパ43A、43Bは回路基板40の他面40Bに形成された配線ライン45Aを介して導通接続されると共に、これと同様に、第3及び第4の検査用バンパ43C、43Dも配線ライン45Bを介して導通接続されている。

【0025】一方プリント配線板31においては、実装面31Aに各バンパ付ICパッケージ32の各バンパ43にそれぞれ対応させてランド50が形成されている。この場合これら各ランド50のうち、バンパ付ICパッケージ32の第1の検査用ピン43Aが接合されるランド（以下、これを第1の検査用ランドと呼ぶ）50Aと、バンパ付ICパッケージ32の第3の検査用ピン43Cが接合されるランド（以下、これを第3の検査用ランドと呼ぶ）50Cは配線ライン51により導通接続されている。

【0026】またこのプリント配線板31の実装面31Aには、バンパ付ICパッケージ32との対向領域を避けて第1及び第2のチエック用ランド53A、53Bが投げられると共に、これら第1及び第2のチエック用ランド53A、53Bはそれぞれ配線ライン52A、52Bを介して対応する第4の検査用バンパ43Bが接合されるランド（以下、これを第4の検査用ランドと呼ぶ）50D又は第2の検査用バンパ43Bが接合されるランド（以下、これを第2の検査用ランドと呼ぶ）50Bと導通接続されている。

【0027】これによりこのプリント配線板31においては、上述のバンパ付ICパッケージ32を実装したと

きに、第1及び第2のチエツク用ランド53A、53Bが配線ライン52A、第4の検査用ランド50D、第4の検査用バンパ43D(図3)、配線ライン45B(図3)、第3の検査用バンパ43C(図3)、第3の検査用ランド50C、配線ライン51、第1の検査用ランド50A、第1の検査用バンパ43A(図3)、配線ライン45A(図3)、第2の検査用バンパ43B(図3)、第2の検査用ランド50B及び配線ライン52Aを順次介して導電接続されるようになされている。

【0028】以上の構成において、バンパ付ICパッケージ32の第1～第4の検査用バンパ43A～43Dがいずれも破断していない状態で当該バンパ付ICパッケージ32がプリント配線板31上に実装されている場合、第1及び第2のチエツク用ランド53A、53Bは、上述のように配線ライン52A、第4の検査用ランド50D、第4の検査用バンパ43D(図3)、配線ライン45B(図3)、第3の検査用バンパ43C(図3)、第3の検査用ランド50C、配線ライン51、第1の検査用ランド50A、第1の検査用バンパ43A(図3)、配線ライン45A(図3)、第2の検査用バンパ43B(図3)、第2の検査用ランド50B及び配線ライン52Aからなる一繋ぎの導電路によつて導電接続されるため、これら第1及び第2のチエツク用ランド53A、53Bにそれぞれテストの第1又は第2の端子を接触させたときに、測定値として所定の抵抗値(以下、これを第1の抵抗値と呼ぶ)が得られる。

【0029】これに対してこのバンパ付ICパッケージ32の第1～第4の検査用バンパ43A～43Dのいずれかが破断した状態で当該バンパ付ICパッケージ32がプリント配線板31上に実装されている場合には、第1及び第2のチエツク用ランド53A、53Bの導通がこの破断した第1～第4の検査用バンパ43A～43Dにおいて切断されたため、第1及び第2のチエツク用ランド53A、53Bにそれぞれテストの第1又は第2の端子を接触させたときに、測定値として第1の抵抗値よりも大きな抵抗値が得られる。

【0030】ここで、このバンパ付ICパッケージ32のように裏面側に信号入出力用の複数のバンパが形成されたバンパ付ICパッケージでは、バンパとプリント配線板の対応するランド間が破断する一番の原因として、プリント配線板及びバンパ付ICパッケージ間の熱膨張係数差から、ICチップの動作時に発生する熱によつてバンパ付ICパッケージとプリント配線板との間で伸縮に不整合が生じ、その応力(歪み)がバンパ付ICパッケージ及びプリント配線板間の接合部であるバンパにかかることがあげられる。

【0031】この場合バンパ付ICパッケージ及びプリント配線板間において最も伸縮差が大きな箇所はバンパ付ICパッケージの周端部近傍であり、従つてバンパ付ICパッケージの裏面側に設けられた各バンパのうち、

隅部に配置された各バンパに最も応力が集中するため、当該隅部の各バンパに破断が生じ易いことが本願出願人によつて確認されている。

【0032】従つてこの実施例のように、バンパ付ICパッケージ32及びプリント配線板31を構成することによつて、プリント配線板31の第1及び第2のチエツク用ランド53A、53B間の抵抗値を測定するだけで、第1～第4の検査用バンパ43A～43Dをサンプルとして、バンパ付ICパッケージ32及びプリント配線板31間の接合部の破断検査をほぼ精度良く、かつ容易に行うことができる。

【0033】以上の構成によれば、バンパ付ICパッケージ31の各バンパ43が設けられた裏面(回路基板40の他面40B)の隅部にダミーバンパでなる第1～第4の検査用バンパ43A～43Dを配置すると共に、これら第1～第4の検査用バンパ43A～43Dのうち、第1及び第2の検査用バンパ43A、43B間と、第3及び第4の検査用バンパ43C、43D間とをそれぞれ配線ライン45A、45Bで導通接続する一方、プリント配線板31の実装面31Aに、バンパ付ICパッケージ31の各第1～第4の検査用バンパ43A～43Dとそれぞれ対応する第1～第4の検査用ランド50A～50Dと、第4又は第2の検査用ランド50D、50Bと導通接続された第1及び第2のチエツク用ランド53A、53Bと、第1及び第3の検査用ランド50A、50Cを導通接続する配線ライン51とを設けるようにしたことにより、バンパ付ICパッケージ32及びプリント配線板31間の接合部の破断状態をほぼ精度良くかつ容易に検査することができ、かくして実装基板の破断検査を簡易化させ得るバンパ付ICパッケージ、プリント配線板、実装基板及び検査方法を実現できる。

【0034】なお上述の実施例においては、本発明を図2及び図3のように構成されたバンパ付ICパッケージ32、当該バンパ付ICパッケージ32を実装するプリント配線板31及び当該バンパ付ICパッケージ32が当該プリント配線板31に実装されてなる実装基板30に適用するようにした場合について述べたが、本発明はこれに限らず、一面側に信号入出力用の複数のバンパ(突起電極)が設けられたこの他種々の表面実装型電子部品、当該表面実装型電子部品を実装する配線基板及び実装基板に適用することができる。

【0035】また上述の実施例においては、バンパ付ICパッケージ32の裏面(回路基板40の他面)に形成する第1～第4の検査用バンパ43A～43Dを当該バンパ付ICパッケージ32の裏面の各隅部にそれぞれ形成するようにした場合について述べたが、本発明はこれに限らず、第1～第4の検査用バンパ43A～43Dの形成位置としてはバンパ付ICパッケージ32の裏面の各隅部以外の場所であつても良く、また検査用バンパ43A～43Dの数としては4個以上であつても良い。

【0036】さらに上述の実施例においては、バンパ付ICパッケージ32側において第1及び第2の検査用バンパ43A、43Bと、第3及び第4の検査用バンパ43C、43Dとをそれぞれ配線ライン45A、45Bで導通接続すると共に、プリント配線板31側において第1及び第3の検査用ランド50A、50Cを配線ライン51により導通接続するようにした場合について述べたが、本発明はこれに限らず、要は、バンパ付ICパッケージ32をプリント配線板31上に実装したときに、第1〜第4の検査用ランド50A〜50Dと、これら第1〜第4の検査用ランド50A〜50Dのうちの所定の1対の第1〜第4の検査用ランド50A〜50Dを導通接続する単数又は複数の第1の配線ラインと、第1〜第4の検査用バンパ43A〜43Dと、これら第1〜第4の検査用バンパ43A〜43Dのうちの所定の1対の第1〜第4の検査用バンパ43A〜43Dを導通接続する単数又は複数の第2の配線ラインとによつて第1及び第2のチェック用ランド53A、53Bを導通接続する一繋ぎの導電路を形成することができるのであれば、第1及び第2の配線ラインの形成位置の組み合わせとしては、この他種々の組み合わせを適用できる。

【0037】さらに上述の実施例においては、バンパ付ICパッケージ32の第1及び第2の検査用バンパ43A、43B、第3及び第4の検査用バンパ43C、43Dをそれぞれ導通接続するバンパ導通接続手段として、配線ライン45A、45Bを適用するようにした場合について述べたが、本発明はこれに限らず、例えばリード線等を用いるようにしても良く、バンパ付ICパッケージ32の第1及び第2の検査用バンパ43A、43B、第3及び第4の検査用バンパ43C、43Dをそれぞれ導通接続するバンパ導通接続手段としては、この他種々のバンパ導通接続手段を適用できる。

【0038】同様にして上述の実施例においては、プリント配線板31の第1及び第3の検査用ランド50A、50Cを導通接続する電極導通接続手段として配線ライン51を適用するようにした場合について述べたが、本発明はこれに限らず、要は、プリント配線板31の第1〜第4の検査用ランド50A〜50D、バンパ付ICパッケージ32の第1〜第4の検査用バンパ43A〜43D及び配線ライン45A、45Bと共に第1及び第2のチェック用ランド53A、53B間を導通接続する一繋ぎの導電路を形成することができるのであれば、例えばリード線等を用いるようにしても良く、プリント配線板

31の第1及び第3の検査用ランド50A、50Cを導通接続する電極導通接続手段としては、この他種々の電極導通接続手段を適用できる。

#### 【0039】

【発明の効果】上述のように本発明によれば、表面実装型電子部品の一面側に複数のダミーバンパを設けると共に、異なる1対のダミーバンパを単数又は複数のバンパ導通接続手段により導通接続する一方、配線基板の実装面に、表面実装型電子部品の各ダミーバンパにそれぞれ対応する複数の第2の電極と、それぞれ異なる所定の第1の電極と導電接続された第3及び第4の電極とを形成し、かつ表面実装電子部品が実装されたときに、第2の電極、ダミーバンパ及びバンパ導通接続手段と共に第3及び第4の電極を導通接続する一繋ぎの導電路を形成するように、異なる1対の第2の電極を単数又は複数の電極導通接続手段により導通接続するようにしたことにより、第3及び第4の電極間の抵抗値を測定するだけで表面実装型電子部品及び配線基板間の破断検査を行うことができ、かくして実装基板の破断検査を簡易化させ得る表面実装型電子部品、配線基板、実装基板及び実装方法を実現できる。

#### 【図面の簡単な説明】

【図1】実施例による実装基板の構成を示す平面図である。

【図2】実施例によるバンパ付ICパッケージの構成を示す断面図である。

【図3】実施例によるバンパ付ICパッケージの構成を示す平面図である。

【図4】実施例によるプリント配線板の構成を示す略線的な平面図である。

【図5】QFPの構成を示す斜視図である。

【図6】BGAの構成を示す断面図である。

【図7】従来のバンパ付ICパッケージの一構成例を示す平面図である。

【図8】従来の実装基板の構成を示す平面図である。

#### 【符号の説明】

30……実装基板、31……プリント配線板、31A……実装面、32……バンパ付ICパッケージ、41……ICチップ、43……バンパ、43A〜43D……検査用バンパ、45A、45B、51、52A、52B……配線ライン、50……ランド、50A〜50D……検査用ランド、53A、53B……チェック用ランド。



【図1】

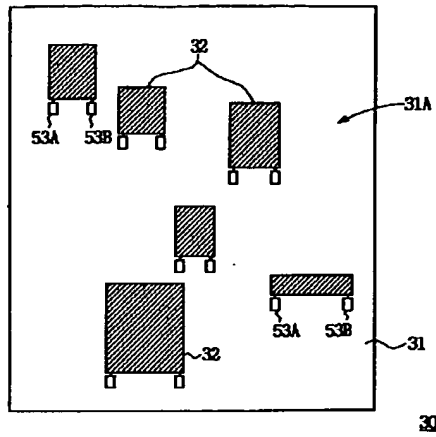


図1 実施例による実装基板の構成

【図2】

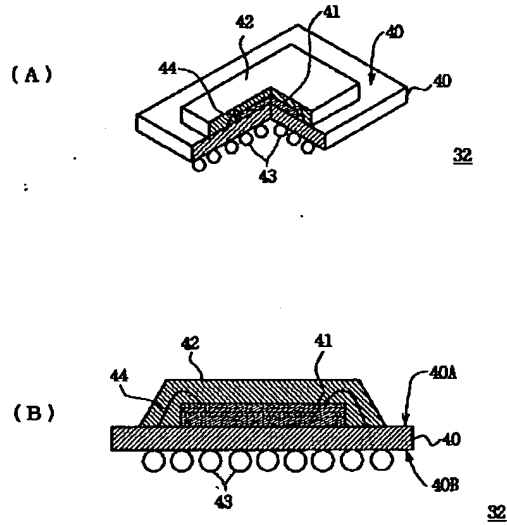


図2 実施例によるバンプ付ICパッケージの構成(1)

【図3】

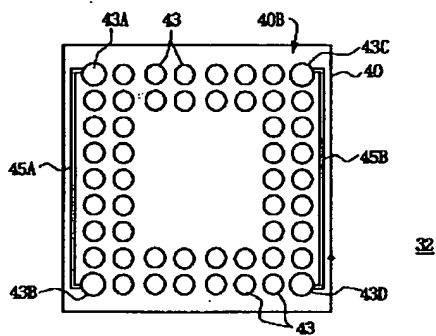


図3 実施例によるバンプ付ICパッケージの構成(2)

【図4】

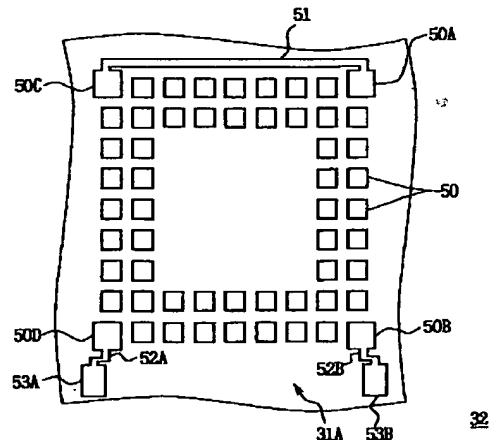


図4 実施例によるプリント配線基板の構成

【図5】

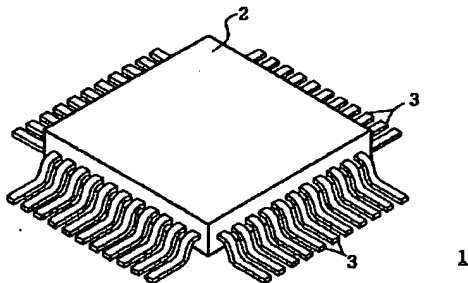
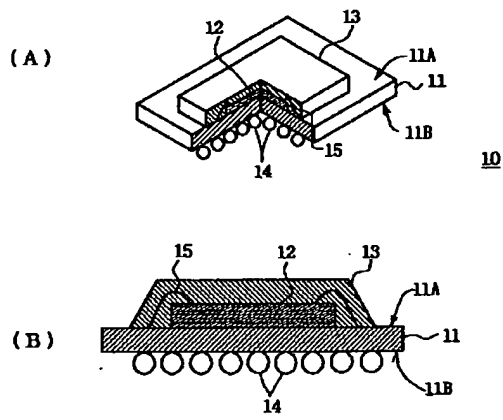
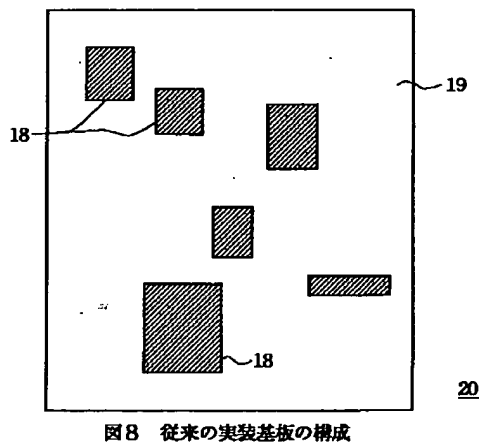


図5 QFPの構成

【図6】



【図8】



【図7】

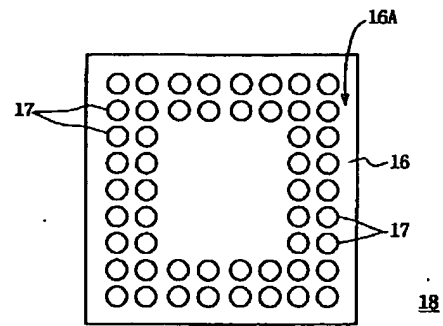


図7 バンプ付ICパッケージの裏面構成例